

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

#2 Priority  
Dec  
D/AUG 16  
9-501

J1002 U.S. PTO  
09/865146



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月25日

出 願 番 号

Application Number:

特願2000-155381

出 願 人

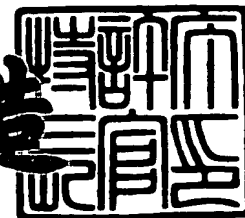
Applicant (s):

株式会社村田製作所

2001年 3月23日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3021832

【書類名】 特許願

【整理番号】 990356

【提出日】 平成12年 5月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01P 1/20

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号  
株式会社村田製作所内

【氏名】 阿部 眞

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号  
株式会社村田製作所内

【氏名】 日高 青路

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号  
株式会社村田製作所内

【氏名】 岡嶋 伸吾

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代理人】

【識別番号】 100084548

【弁理士】

【氏名又は名称】 小森 久夫

【手数料の表示】

【予納台帳番号】 013550

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004875

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同軸共振器、フィルタ、デュプレクサおよび通信装置

【特許請求の範囲】

【請求項 1】 外面に内導体を形成した柱状体と、該柱状体を収納する孔を有し、外面に外導体を形成した誘電体による孔形成体とから成る同軸共振器。

【請求項 2】 前記内導体を、薄膜導体層と薄膜誘電体層とを交互に積層して成る薄膜多層電極とした請求項 1 に記載の同軸共振器。

【請求項 3】 前記内導体を、複数のヘリカル状線路の集合体とした請求項 1 または 2 に記載の同軸共振器。

【請求項 4】 前記外導体を、薄膜導体層と薄膜誘電体層とを交互に積層して成る請求項 1、2 または 3 に記載の同軸共振器。

【請求項 5】 前記各薄膜導体層による線路の位相定数をそれぞれ略等しくした請求項 2、3 または 4 に記載の同軸共振器。

【請求項 6】 前記柱状体と前記孔形成体との間に非導電体を充填した請求項 1 ～ 5 のうちいずれかに記載の同軸共振器。

【請求項 7】 請求項 1 ～ 6 のうちいずれかに記載の同軸共振器を複数組配置する、または一体成型された前記孔形成体内に前記柱状体を複数組配置する、とともに、所定の同軸共振器に結合する入出力手段を設けて成るフィルタ。

【請求項 8】 送信信号入力ポートと送受共用入出力ポートとの間、および該送受共用入出力ポートと受信信号出力ポートとの間に、請求項 7 に記載のフィルタを、送信フィルタおよび受信フィルタとしてそれぞれ設けて成るデュプレクサ。

【請求項 9】 請求項 7 に記載のフィルタまたは請求項 8 に記載のデュプレクサを設けて成る通信装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、誘電体ブロックの内外に導体層による電極を形成して成る誘電体共振器、誘電体フィルタ、誘電体デュプレクサ、およびこれらを用いた通信装置

に関するものである。

【 0 0 0 2 】

【従来の技術】

主としてマイクロ波帯における誘電体共振器は、同軸の貫通孔を設けた角柱状または円柱状の誘電体ブロックを用い、貫通孔の内面に内導体を形成し、誘電体ブロックの外面に外導体を形成することによって、誘電体同軸共振器として構成している。また、直方体形状の誘電体ブロックの内部に複数の貫通孔を設け、各貫通孔の内面に内導体を設け、誘電体ブロックの外面に外導体を設けて、単一の誘電体ブロックに複数の誘電体共振器を設けることによって、複数段の共振器から成るフィルタやデュプレクサを構成している。

【 0 0 0 3 】

【発明が解決しようとする課題】

このような誘電体ブロックの内外に導体膜による電極を設けた同軸共振器や同軸共振器を用いたフィルタ等は全体に小型で、共振器の無負荷 $Q$  ( $Q_0$ ) が高いという特徴を備えている。

【 0 0 0 4 】

ところが、同軸共振器の $Q_0$ は、内導体および外導体の状態に大きく左右され、 $Q_0$ を高めるためには、表面が緻密で平滑な導体膜を形成することが重要である。ところが、同軸共振器は、その構造上、誘電体ブロックに形成した孔の内面に導体膜を成膜することになるため、誘電体ブロックの外面に形成する外導体などに比べて特性の優れた導体膜を形成するのは困難であった。

【 0 0 0 5 】

しかしながら、たとえば送信フィルタやアンテナ共用器としてのデュプレクサのように、比較的大電力を扱う回路部分に用いる場合、組み込むべき電子機器の小型化および低消費電力化に伴い、共振器による損失やフィルタの挿入損失等のさらなる低減化が要請されている。

【 0 0 0 6 】

一般に、共振器の損失は、導体膜による導体損、誘電体部分での誘電体損および外部へ輻射される輻射損からなる。これらの損失のうち導体損の占める割合が

大きいため、導体損を如何に低減するかがポイントとなる。

【 0 0 0 7 】

導体損を低減するためには、導電率の高い導電体材料を用い、且つ膜厚を厚くすることが有効であるが、マイクロ波帯などの高周波帯となると、その使用する周波数帯域における表皮深さ部分にのみ電流が集中して流れるため、表皮深さより導体膜の膜厚を厚くしても、導体損の低減効果は殆ど無い。

【 0 0 0 8 】

そこで、特願平 1 1 - 3 1 4 6 5 8 号にて出願しているように、導体膜を、薄膜導体層と薄膜誘電体層とを交互に積層してなる薄膜多層電極構成にすることは極めて有効である。

【 0 0 0 9 】

また、特願平 1 1 - 3 7 5 1 9 4 号にて出願しているように、同軸共振器の内導体を、それぞれヘリカル状の多重化した複数の線路の集合体として構成することも極めて有効である。

【 0 0 1 0 】

ところが、誘電体ブロックに設けた、内径の小さな孔の内面に設けるべき内導体を薄膜多層化したり、多重化するには、製造プロセス上種々の困難を伴う。

【 0 0 1 1 】

この発明の目的は、小型で、より低損失化を図った同軸共振器、フィルタ、デュプレクサおよびそれらを用いた通信装置を提供することにある。

【 0 0 1 2 】

この発明の他の目的は、低損失化に有利な特性に優れた内導体を容易に形成できるようにした同軸共振器、フィルタ、デュプレクサ、およびこれらを用いた通信装置を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

この発明の同軸共振器は、外面に内導体を形成した柱状体と、該柱状体を収納する孔を有し、外面に外導体を形成した誘電体による孔形成体とから構成する。このように柱状体の外面に内導体を形成するようにし、導体損の低減に有効な導

体膜性能の高い内導体を、孔形成体から分離した状態で容易に形成可能とする。

【 0 0 1 4 】

また、この発明の同軸共振器は、前記内導体を、薄膜導体層と薄膜誘電体層とを交互に積層してなる薄膜多層電極とする。これにより、薄膜多層電極の各薄膜導体層に電流が分散して流れるようにし、実質的な電流路の面積（実効断面積）を増大させ、導体損を低減させる。例えば、各層を使用周波数の表皮深さより薄くして、各薄膜導体層にほぼ均等に電流が流れるようにし、その結果、より低損失の同軸共振器を得る。

【 0 0 1 5 】

また、この発明の同軸共振器は、前記内導体を、多重化した複数のヘリカル状線路の集合体とする。これにより、それらの複数の線路の集合体を1つの線路としてマクロ的に見た時、いわば或る線路の例えば右隣りに当該線路と合同の線路の左側の縁端部を隣接させることにより、線路端部の存在を希薄とし、線路の縁端部における電流集中を緩和し、全体の導体損を低減する。

【 0 0 1 6 】

また、この発明の同軸共振器は、前記外導体を薄膜導体層と薄膜誘電体層とを交互に積層して成る薄膜多層電極とする。これにより、外導体における導体損も低減する。

【 0 0 1 7 】

また、この発明の同軸共振器は、前記各薄膜導体層による線路の位相定数をそれぞれ略等しくする。これにより薄膜多層電極による電流分散効果を高め、導体損を効率よく低減させる。

【 0 0 1 8 】

また、この発明の同軸共振器は、前記柱状体と前記孔形成体との間に非導電体を充填する。この構造により柱状体と孔形成体との位置関係を一定に保ち、両者の相対変位による特性変化を防止する。

【 0 0 1 9 】

この発明のフィルタは、前記同軸共振器を複数組配置して、所定の同軸共振器に結合する入出力手段を設けることによって構成する。



## 【 0 0 2 0 】

この発明のデュプレクサは、送信信号入力ポートと送受共用入出力ポートとの間、および該送受共用入出力ポートと受信信号出力ポートとの間に、上記のフィルタを、送信フィルタおよび受信フィルタとしてそれぞれ設けて構成する。

## 【 0 0 2 1 】

この発明の通信装置は、前記フィルタまたはデュプレクサを用いて、例えば送受信信号の帯域通過フィルタとして、またアンテナ共用器として用いる。これにより、小型で電力効率の高い通信装置を得る。

## 【 0 0 2 2 】

## 【発明の実施の形態】

第 1 の実施形態に係る同軸共振器の構成を図 1 および図 2 を参照して説明する。

図 1 の (A) は同軸共振器の中心軸を通る面での断面図、(B) は (A) における A - A' 部分の断面図である。1 は、この発明に係る「孔形成体」に相当する、円筒形状の誘電体ブロックであり、その外周面に外導体 3 を形成している。また 4 は円柱形状の柱状体であり、その側面に内導体 5 を形成している。6 は、柱状体 4 の両端部を、誘電体ブロック 1 に設けた孔 2 の内部に保持するためのキャップ形状の柱状体保持部材である。また 7 は、誘電体ブロック 1 の両端部分に取り付けて、柱状体保持部材 6 を固定する外枠である。この外枠 7 には柱状体 4 方向へ延びるプローブ 8 を設けている。

## 【 0 0 2 3 】

図 2 は図 1 の (A) における C 部分の拡大断面図である。図 2 において、3 1, 5 1 はそれぞれ表皮深さより薄い薄膜導体層、3 2, 5 2 はそれぞれ薄膜誘電体層である。このように薄膜導体層と薄膜誘電体層とを交互に積層することによって、それぞれ薄膜多層電極構造の内導体 5 および外導体 3 を設けている。内導体 5 および外導体 3 の薄膜導体層 5 1 および 3 1 のうち、最外層の膜厚は他の層より厚くすることにより、薄膜多層電極の表面を堅牢にしている。なお、内導体 5 の最下層に柱状体 4 の保護膜として薄膜誘電体層を形成して、例えば柱状体 4 を金属棒で構成する場合に、上記薄膜誘電体層を金属棒表面の酸化防止層として

用いることも可能である。

なお、図 2 においては、図を明瞭にするために、薄膜多層電極構造部分の断面を他の部分より誇張して表している。

#### 【 0 0 2 4 】

上記薄膜導体層は Cu のスパッタリングによって成膜し、薄膜誘電体層は SiO<sub>2</sub> のスパッタリングによって成膜する。これらの膜厚はスパッタリングの時間によって制御する。したがって、上記薄膜多層電極は、Cu 膜形成用のおよび SiO<sub>2</sub> 膜形成用のターゲットを交互に入れ換えてスパッタリングすることによって形成する。

#### 【 0 0 2 5 】

内導体 5 に薄膜多層電極を形成する際には、柱状体 4 を、その中心軸を回転軸として成膜容器内で回転させつつスパッタリングする。このことによって、薄膜多層電極を年輪状に形成する。外導体 3 についても同様に、誘電体ブロック 1 を、その中心軸を回転軸として成膜容器内で回転させつつスパッタリングする。

#### 【 0 0 2 6 】

図 2 に示した状態で、外導体 3 と内導体 5 との間に所定の共振周波数の高周波信号が印加された時、図 2 に示すように、誘電体ブロック 1 に高周波電界が印加され、共振する。このとき、各薄膜導体層 3 1, 5 1 はそれぞれ、より下層（誘電体ブロック 1 の誘電体部分に近い層）の薄膜誘電体層 3 2, 5 2 を介して入射した高周波電力の一部を、より上層の薄膜導体層に透過するとともに、当該高周波信号のエネルギーの一部を、より下側の薄膜誘電体層を介して、より下側の薄膜導体層に反射する。そして、隣接する 2 つの薄膜導体層によって挟まれる各薄膜誘電体層内ではそれぞれ、上記反射波と透過波とが共振して、各薄膜導体層の上側表面近傍と下側表面近傍とでは、互いに逆方向の対面する 2 つの高周波電流が流れる。すなわち、薄膜導体層 3 1, 5 1 の膜厚が表皮深さよりも薄いために、対面する上記互いに逆方向の 2 つの高周波電流は、薄膜誘電体層を介して干渉し、一部を残して互いに相殺される。

#### 【 0 0 2 7 】

一方、薄膜誘電体層 3 2, 5 2 には、電磁界によって変位電流が生じ、これに

より隣接する薄膜導体層の表面に高周波電流が生じる。この第 1 の実施形態では、両端開放の  $1/2$  波長同軸共振器を構成するので、内導体 3 の長手方向の両端部で、変位電流が最大となり、中央部で最小となる。

【0028】

ここで、内導体から誘電体ブロックの孔の内面までの空気層の厚みを  $h_1$ 、誘電体ブロック 1 の厚みを  $h_2$  とし、 $h_1$  部分の比誘電率を  $\epsilon_{r1}$ 、 $h_2$  部分の比誘電率を  $\epsilon_{r2}$  とすれば、直流のコンデンサの等価回路設計では、内導体と外導体との間の誘電体の実効比誘電率  $\epsilon_r$  を、

$$\epsilon_r = (h_1 + h_2) / \{ (h_1 / \epsilon_{r1}) + (h_2 / \epsilon_{r2}) \}$$

として求めることになる。

【0029】

$$h_1 = 0.41 \text{ mm}$$

$$h_2 = 5.0 \text{ mm}$$

$$\epsilon_{r1} = 1$$

$$\epsilon_{r2} = 3.9$$

とすると、上記実効比誘電率は  $\epsilon_r = 10.0$  となる。

【0030】

薄膜多層電極の膜厚設計は、基板部分を主線路、薄膜多層電極内の誘電体層を副線路と考える。主線路の位相定数  $\beta_m$  は次式で表される。

【0031】

$$\beta_m = \omega \sqrt{(\mu_0 \epsilon_0 \epsilon_m)} \quad \dots (1)$$

ただし、 $\epsilon_m$  は主線路の比誘電率、 $\epsilon_0$ 、 $\mu_0$  は真空中の誘電率と透磁率、 $\omega$  は角周波数である。膜厚設計は  $\beta_m$  と副線路の位相定数  $\beta_s$  を一致させることにより得られる。最上層の導体膜厚を  $\infty$  とした場合、誘電体層と最上層以外の導体層の膜厚  $\Delta \chi$ 、 $\Delta \xi$  は次式で表される。

【0032】

$$\Delta \chi = (W n \delta_0 / 2) (\epsilon_m / \epsilon_s - 1)^{-1} \quad \dots (2)$$

$$\Delta \xi = \xi n \delta_0 \quad \dots (3)$$

ただし、 $n$  は薄膜多層電極の層数、 $\epsilon_s$  は誘電体層の比誘電率、 $\delta_0$  は表皮深さ

である。 $W_n$  ,  $\xi_n$  は  $n$  に依存する無次元定数であり、等価回路を用いた計算により求まる。 $n=2$  のとき、 $W_2 = 2.00$  ,  $\xi_2 = 0.785$  である。

## 【 0 0 3 3 】

上記  $\varepsilon_m$  を上述した実効比誘電率 ( $\varepsilon_r = 10.0$ ) とみなし、共振周波数を  $f = 2 \text{ GHz}$  とすると、(1), (2), (3) 式より、膜厚は次のように求まる。

## 【 0 0 3 4 】

$$\Delta \chi = 1.03 \mu\text{m}$$

$$\Delta \xi = 1.21 \mu\text{m}$$

ここで、薄膜導体層 5 1 のうち最外層を  $3 \mu\text{m}$ 、薄膜誘電体層 5 2 のうち最下層を  $1 \mu\text{m}$  とし、外導体を膜厚  $5 \mu\text{m}$  の単層の電極として、共振器の  $Q_0$  をシミュレーションすると、外導体による導体損を考慮しないとき、内導体を単層の電極とした場合に比べて  $Q_0$  は 1.35 倍に向上する。

## 【 0 0 3 5 】

しかし、本発明での主線路は実際には空気層を含むため、従来のような空気層を含まないモデルと違って、 $\varepsilon_m$  が直接はわからない。よって、 $\Delta \chi$  を導出できない。そのため、有限要素法導波路解析プログラムを使って、主線路の  $\beta_m$  を求め、(1)式、(2)式から  $\Delta \chi$  を算出する。

## 【 0 0 3 6 】

$h_1$  ,  $h_2$  ,  $\varepsilon_{r1}$  ,  $\varepsilon_{r2}$  を上記のとおりとし、共振周波数を  $f = 2 \text{ GHz}$  とすると、 $\beta_m$  ,  $\varepsilon_m$  は次のとおりとなる。

## 【 0 0 3 7 】

$$\beta_m = 151.7$$

$$\varepsilon_m = 13.1$$

これにより、最適膜厚は、

$$\Delta \chi = 0.661 \mu\text{m}$$

$$\Delta \xi = 1.21 \mu\text{m}$$

となる。

## 【 0 0 3 8 】

ここで、薄膜導体層 5 1 のうち最外層を  $3\ \mu\text{m}$ 、外導体を膜厚  $5\ \mu\text{m}$  の単層の電極として、共振器の  $Q$  をシミュレーションすると、外導体による導体損を考慮しないとき、内導体を単層の電極とした場合に比べて  $Q$  は 1.52 倍に向上する。

## 【 0 0 3 9 】

このように、薄膜誘電体層による線路の位相定数がそれぞれ略等しくなるように、各薄膜の膜厚を定めることによって、上記各薄膜導体層 3 1, 4 1 に流れる高周波電流は互いに同位相となり、それらの電流が分散して流れるため、実質的な表皮深さが深くなる。このことにより、実質的な電流路の面積（実効断面積）が増大し、導体損が低減される。その結果、 $Q$  の向上効果をより高めることができる。

## 【 0 0 4 0 】

なお、この第 1 の実施形態では、内導体 5 を薄膜多層電極構造としたが、単層の電極構造であっても、その内導体は、柱状体の外面に設ければよいので、スパッタリングや真空蒸着による薄膜形成法が適用できる。

## 【 0 0 4 1 】

次に、第 2 の実施形態に係る同軸共振器の構成を図 3 を参照して説明する。

図 3 において、(A) は同軸共振器の中心軸を通る面での断面図、(B) は (A) における A-A' 部分の断面図である。1 は円筒形状の誘電体ブロックであり、その外周面に外導体 3 を形成している。また 4 は円柱形状の柱状体であり、その側面に内導体 5 を形成している。9 は、誘電体ブロック 1 の孔 2 の内部に柱状体 4 を保持するとともに、柱状体 4 の外面に形成した内導体 5 と、誘電体ブロック 1 の外面に形成した外導体 3 とをそれぞれ導通させて短絡する短絡保持部材である。このように内導体 5 の両端を短絡することによって、両端短絡の  $1/2$  波長共振の同軸共振器として作用する。

## 【 0 0 4 2 】

なお、図 3 に示した例では、入出力手段については省略しているが、例えば同軸共振モードと電界結合するプローブまたは磁界結合するループなどを設ければよい。

## 【 0 0 4 3 】

図 4 は第 3 の実施形態に係る同軸共振器の構成を示す図である。図 3 に示したものと異なり、この例では、柱状体 4 の一方の端部を短絡保持部材 9 で保持するとともに、内導体 5 の一方端を外導体 3 に短絡させている。この構造により、一端開放、他端短絡の  $1/4$  波長共振の同軸共振器として作用する。

## 【 0 0 4 4 】

図 5 は第 4 の実施形態に係る同軸共振器の構成を示す断面図である。図 4 に比較すれば明らかなように、この例では、柱状体 4 と誘電体ブロック 1 との間隙に低誘電率または高誘電率の樹脂などの非導電体を充填している。この構造により、柱状体と孔形成体との位置関係を一定に保ち、両者の相対変位による特性変化を防止する。

## 【 0 0 4 5 】

次に、第 5 の実施形態に係る同軸共振器の構成を図 6 および図 7 を参照して説明する。

図 6 は同軸共振器の内導体を設けるための柱状体の斜視図である。円柱形状の柱状体 4 の側面には、図に示すように、柱状体 4 の中心軸を回転中心としてヘリカル状の線路 5' を側面に沿って等角度毎に配置することによって多重化している。このヘリカル状線路の集合体（以下、この集合体を「多重ヘリカル状線路」という。なお、この多重ヘリカル状線路については前述の特願平 1 1 - 3 7 5 1 9 4 号に記載されている。）を内導体として作用させる。

## 【 0 0 4 6 】

図 7 は、上記多重ヘリカル状線路の各々の線路を横切る面での部分断面図であり、それぞれのヘリカル状線路における電磁界および電流の分布の例を示している。図 7 における上段は、線路の内周端と外周端におけるチャージが最大の瞬間における多重ヘリカル状線路の電界および磁界の分布を示している。また、下段はその瞬間における各線路の電流密度および線路の間隙を誘電体の厚み方向に通る磁界の平均値をそれぞれ示している。

## 【 0 0 4 7 】

ここで各線路をミクロ的に見れば、図 7 に示すようにそれぞれの縁端部におい

て電流密度が大きくなるが、柱状体の軸方向（図 7 における左右方向）の横断面で見た時に、1 つのヘリカル状線路の左右両端に一定の間隙をおいて同程度の振幅と位相を持った電流の流れる導体線路が配置されるため、縁端効果が緩和される。すなわち多重ヘリカル状線路を 1 つの線路と見た場合に、内周端と外周端が電流分布の節、中央が腹となるほぼ正弦波状に分布し、マクロ的には縁端効果が生じない。

## 【 0 0 4 8 】

このように内導体を、多重化した複数の線路の集合体として構成する場合でも、それらを柱状体の外面に形成すればよいので、そのパターン形成が容易となる。

## 【 0 0 4 9 】

図 8 は第 6 の実施形態に係る同軸共振器の主要部の拡大断面図である。この例は、柱状体 4 の外面に、内導体を薄膜多層電極構造にするとともに、図 6 および図 7 に示した多重化ヘリカル状線路を構成したものである。図 8 において 5 1 が薄膜導体層、5 2 が薄膜誘電体層であり、これらを交互に積層することによって薄膜多層電極を構成し、且つその電極を複数のヘリカル状線路に分離することによって多重化を図っている。なお、この例では、薄膜誘電体層 5 2 のうち、内導体の下地となる最下層が柱状体 4 の外面を被うようにして、柱状体 4 を保護している。

## 【 0 0 5 0 】

次に、第 7 の実施形態に係るデュプレクサの構成を図 9 を参照して説明する。

図 9 はデュプレクサの斜視図である。全体に略直方体形状の誘電体ブロック 1 には 2 a ～ 2 e で示す貫通孔を形成している。この誘電体ブロック 1 の外面には、貫通孔 2 a ～ 2 e の両開口面を除く他の四面に外導体 3 を形成している。

## 【 0 0 5 1 】

図 9 において 4 は誘電体による柱状体であり、両端付近の直径を太く、中央部分の直径を細くしている。この柱状体 4 の外面には、薄膜多層電極構造の内導体 5 を形成している。図 9 においては単一の誘電体柱のみを示したが、同様の誘電体柱 4 を、誘電体ブロック 1 に設けた貫通孔 2 a ～ 2 e のそれぞれに挿入し、固

定する。外導体 3 は薄膜多層電極構造であってもよいし、単層の電極膜であってもよい。また内導体 5 は多重ヘリカル状線路として構成してもよい。

#### 【 0 0 5 2 】

上記の構造により、内導体 5 と外導体 3 および誘電体ブロック 1 の誘電体部分とが同軸共振器として作用する。このとき、内導体 5 の両端の開放端付近の直径を太く、中央の等価的な短絡端側の直径を細くし、その直径や細くしている部分の長さを異ならせているので、隣接する共振器間で、偶モードと奇モードの共振周波数に差が生じて結合量を調整することができる。

#### 【 0 0 5 3 】

誘電体ブロック 1 の外面には、外導体 3 から分離した入出力電極 1 0, 1 1, 1 2 を形成している。入出力電極 1 0, 1 2 は貫通孔 2 a, 2 e 部分に構成する共振器とそれぞれ静電容量結合する。同様に入出力電極 1 1 は、貫通孔 2 b, 2 c 部分に構成する共振器とそれぞれ静電容量結合する。ここで、貫通孔 2 a, 2 b 部分に構成した 2 つの共振器を結合させた部分を送信フィルタとして用い、貫通孔 2 c ~ 2 e 部分に構成した 3 つの共振器を結合させた部分を受信フィルタとして用いる。すなわち、入出力電極 1 0 は送信信号入力端子、入出力電極 1 2 は受信信号出力端子、入出力電極 1 1 はアンテナ端子として用いる。

#### 【 0 0 5 4 】

なお、図 9 のように誘電体ブロックの外面に入出力電極を設ける代わりに、誘電体ブロック内部にプローブを挿入して外部結合をとるようにしてもよい。

#### 【 0 0 5 5 】

次に、第 8 の実施形態に係る通信装置の構成を図 1 0 を参照して説明する。図 1 0 において ANT は送受信アンテナ、DPX はデュプレクサ、BPF a, BPF b, BPF c はそれぞれ帯域通過フィルタ、AMP a, AMP b はそれぞれ増幅回路、MIX a, MIX b はそれぞれミキサ、OSC はオシレータ、DIV は分周器（シンセサイザー）である。MIX a は DIV から出力される周波数信号を変調信号で変調し、BPF a は送信周波数の帯域のみを通過させ、AMP a はこれを電力増幅し、DPX を介して ANT より送信する。AMP b は DPX からの受信信号を増幅する。BPF b は AMP b から出力される信号のうち受信周波



数帯域のみを通過させ、M I X b は B P F c より出力される周波数信号と受信信号とをミキシングして中間周波信号 I F を出力する。

【 0 0 5 6 】

図 1 0 に示した D P X 部分には図 9 に示した構造のデュプレクサを用いる。また帯域通過フィルタ B P F a , B P F b , B P F c には、図 1 ～図 8 に示した構造の同軸共振器によるフィルタを用いる。このようにして全体に小型且つ低損失の通信装置を構成する。

【 0 0 5 7 】

なお、以上に示した実施形態では内導体を形成する柱状体として円柱形状の誘電体柱を用いたが、多角柱などの任意の柱状体を用いることができる。また、その柱状体は内導体を外面に保持するために用いるものであるもので、その誘電率は任意であり、金属などの導電体や磁性体であってもよい。

【 0 0 5 8 】

【発明の効果】

請求項 1 に記載の発明によれば、柱状体を孔形成体から分離した状態で、その柱状体の外面に内導体を形成すればよく、導体損の低減に有効な導体膜性能の高い内導体を容易に形成できる。

【 0 0 5 9 】

請求項 2 に記載の発明によれば、薄膜多層電極の各薄膜導体層に電流が分散して流れ、実質的な電流路の面積（実効断面積）が増大し、導体損が低減される。

請求項 3 に記載の発明によれば、線路の縁端部における縁端効果による電流集中が緩和され、全体の導体損が低減される。

【 0 0 6 0 】

請求項 4 に記載の発明によれば、外導体における導体損も低減される。

【 0 0 6 1 】

請求項 5 に記載の発明によれば、薄膜多層電極による電流分散効果が高まり、導体損が効率よく低減される。

【 0 0 6 2 】

請求項 6 に記載の発明によれば、柱状体と孔形成体との位置関係を一定に保つ

ことができ、両者の相対変位による特性変化が生じない。

【 0 0 6 3 】

請求項 7 に記載の発明によれば、低挿入損失のフィルタが容易に得られる。

【 0 0 6 4 】

請求項 8 に記載の発明によれば、低挿入損失のデュプレクサが容易に得られる

。

【 0 0 6 5 】

請求項 9 に記載の発明によれば、上記フィルタやデュプレクサを例えば送受信信号の帯域通過フィルタやアンテナ共用器として用いることにより、小型で電力効率の高い通信装置が得られる。

【図面の簡単な説明】

【図 1】 第 1 の実施形態に係る同軸共振器の断面図

【図 2】 同同軸共振器の部分拡大断面図

【図 3】 第 2 の実施形態に係る同軸共振器の断面図

【図 4】 第 3 の実施形態に係る同軸共振器の断面図

【図 5】 第 4 の実施形態に係る同軸共振器の断面図

【図 6】 第 5 の実施形態に係る同軸共振器で用いる柱状体の斜視図

【図 7】 同同軸共振器の電磁界分布の例を示す図

【図 8】 第 6 の実施形態に係る同軸共振器の主要部の拡大断面図

【図 9】 第 7 の実施形態に係るデュプレクサの斜視図

【図 1 0】 第 8 の実施形態に係る通信装置の構成を示すブロック図

【符号の説明】

1 - 誘電体ブロック

2 - 孔

3 - 外導体

4 - 柱状体

5 - 内導体

5' - ヘリカル状線路

6 - 柱状体保持部材

7 - 外 枠

8 - プ ロ ー ブ

9 - 短 絡 保 持 部 材

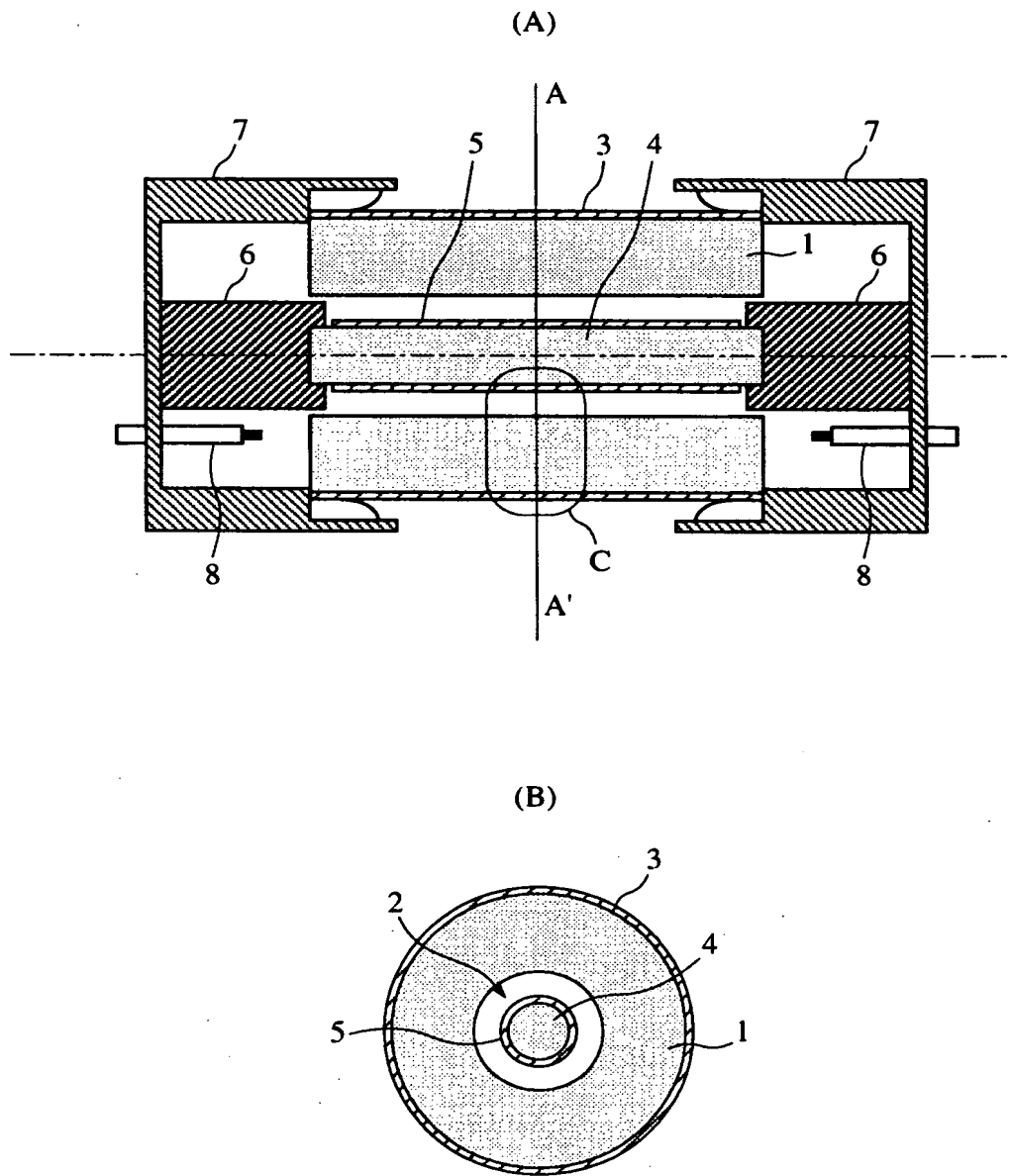
1 0 ~ 1 2 - 入 出 力 電 極

3 1 , 5 1 - 薄 膜 導 体 層

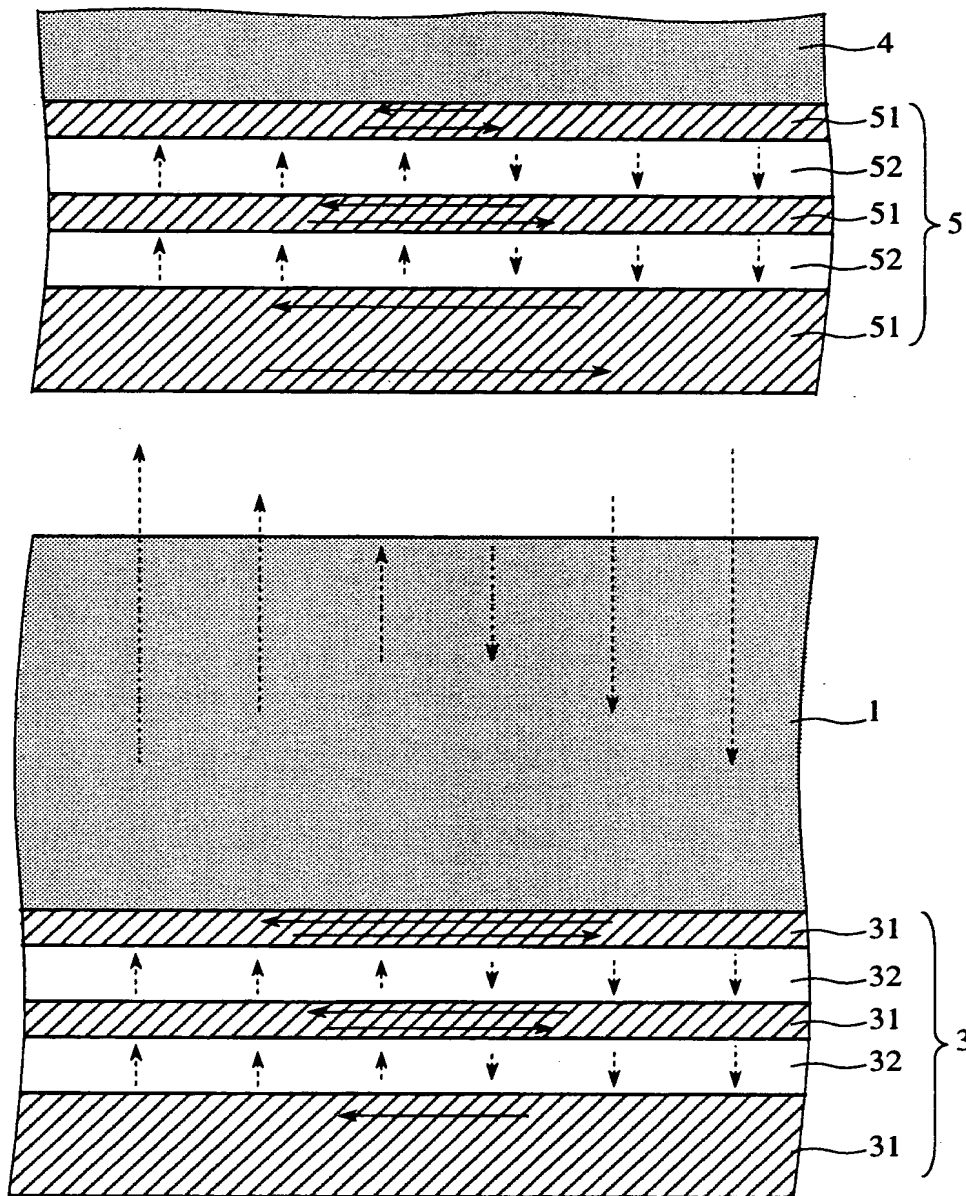
3 2 , 5 2 - 薄 膜 誘 電 体 層

【書類名】 図面

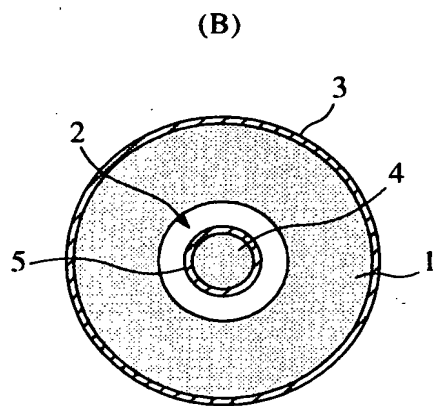
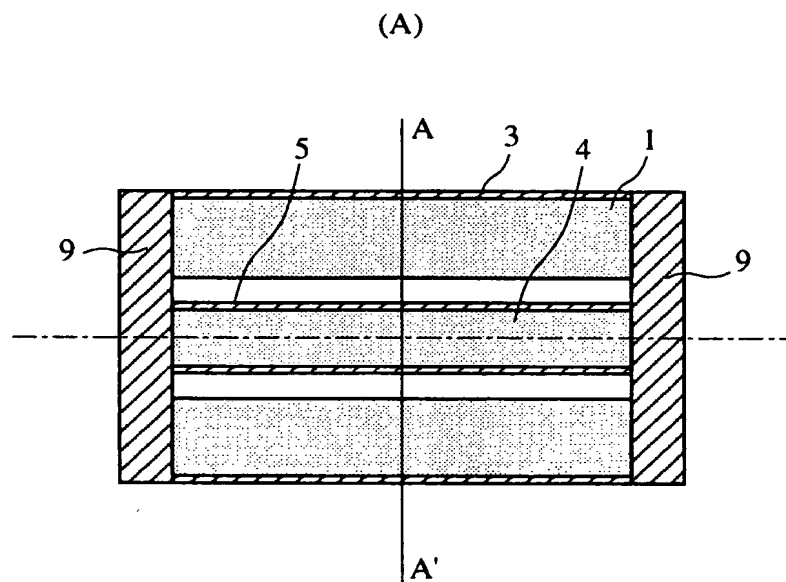
【図 1】



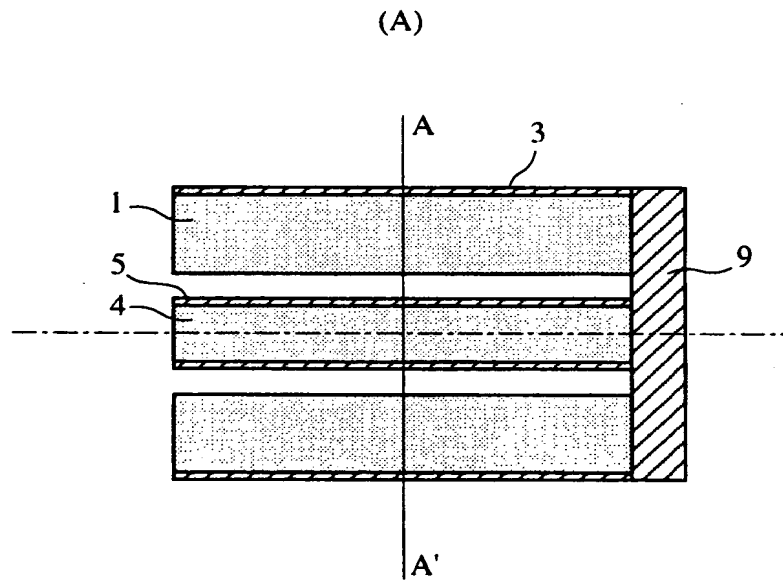
【図 2】



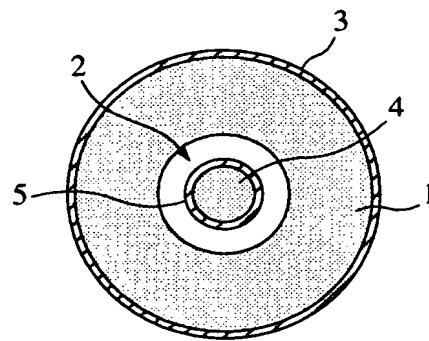
【図 3】



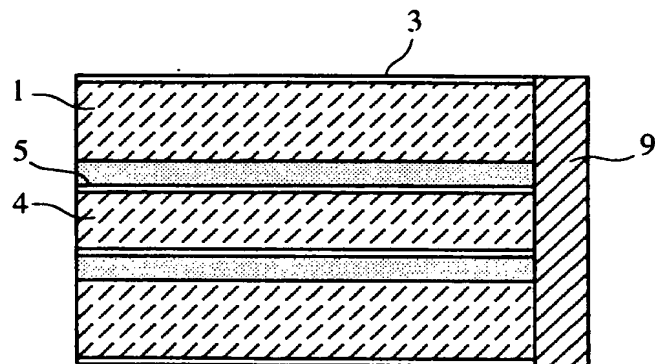
【図 4】



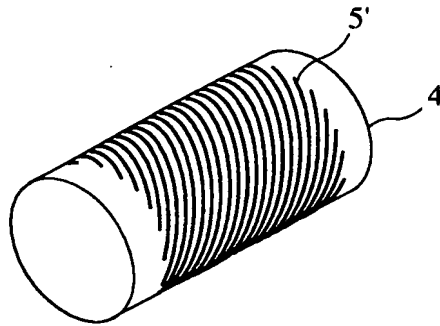
(B)



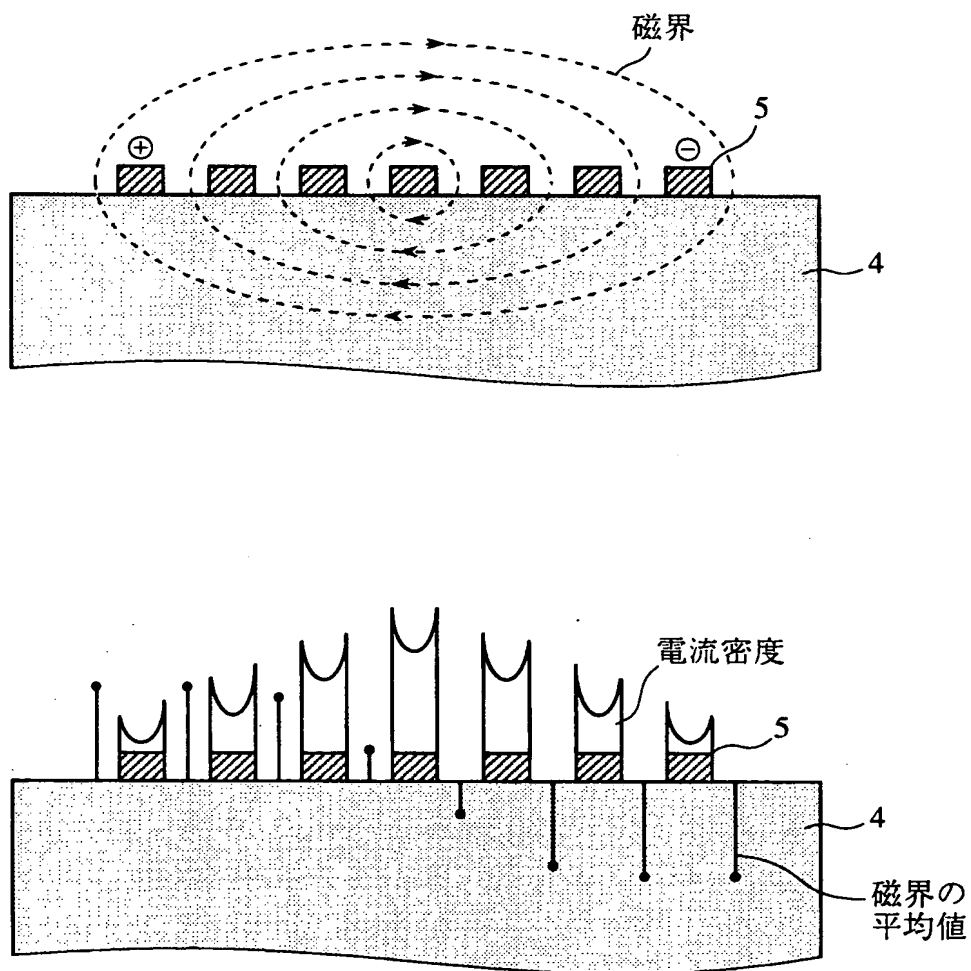
【図 5】



【図 6】

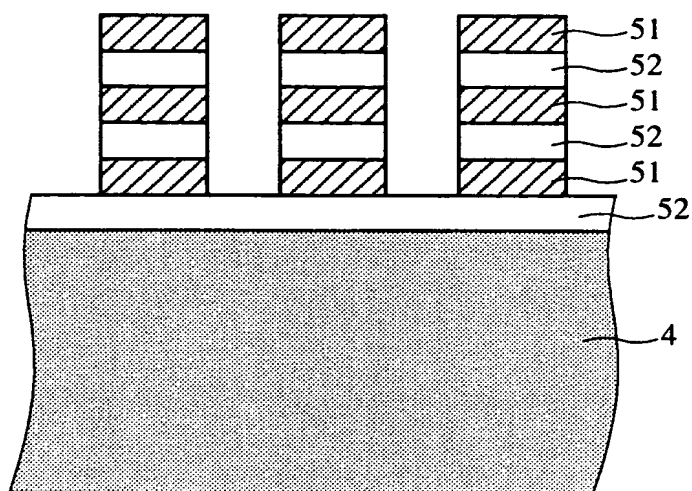


【図 7】

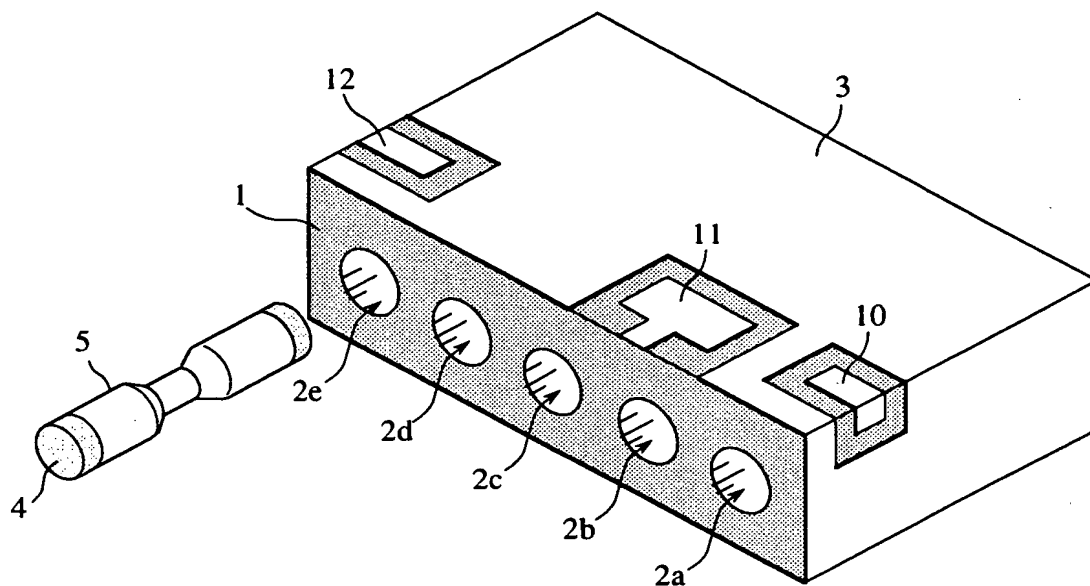




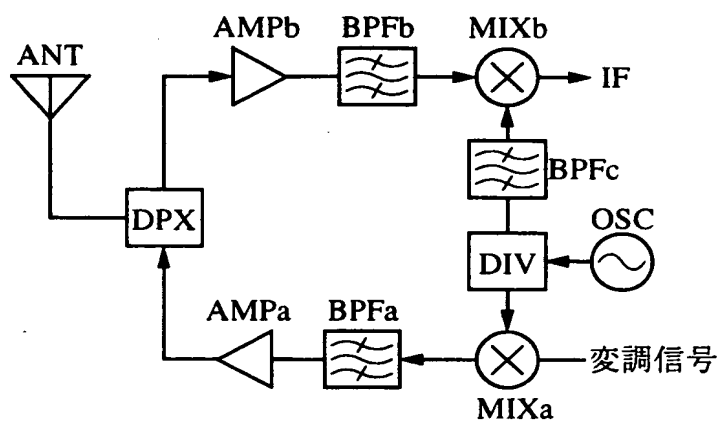
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 低損失化に有利な導体膜特性の優れた、同軸共振器の内導体を容易に形成できるようにし、小型で、より低損失化を図ったフィルタ、デュプレクサおよびそれらを用いた通信装置を得る。

【解決手段】 円柱形状の柱状体 4 の外面に薄膜多層電極構造の内導体 5 を形成し、円筒形状の誘電体ブロック 1 の外面に外導体 3 を形成し、誘電体ブロック 1 の孔 2 の内部に柱状体 4 を挿入し、保持部材 6 および外枠 7 によってこれらを保持する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000006231]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	京都府長岡京市天神二丁目26番10号
氏 名	株式会社村田製作所